1. V BAR registru č. 0 je uložena fyzická adresa PCI karty a je určena dle číslování (adresace) karet na sběrnici. Tato adresa slouží k přístupu ke kartě.

**NE**

1. V případě architektury MIPS je možné vykonávat jednoduché aritmetické operace nad operandy uloženými v paměti bez nutnosti nahrát je do registrů procesoru.

**NE**

1. V případě 64-bitove virtuální adresy je obvyklé používat méně bitů pro fyzickou adresu - například 48, nebo 40.

**ANO**

1. PCIe již dnes vytlačilo PCI sběrnice, se kterými není kompatibilní jak po hardwarové stránce tak z pohledu software.

**NE**

1. Cisla v plovoucí řádové čárce dle IEEE754 musí být vždy uložena v normalizovaném tvaru, tzn. před binární tečkou je vždy jednička.

**NE**

1. Architektura AMD64 používá 64-bitovy formát virtuální adresy, ale pro překlad využívá pouze 48 bitů.

**ANO**

1. RAID úrovně 1 nepracuje s redundancí.

**NE**

1. RAID 6 rozkládá paritní informace napříč jednotlivými disky.

**ANO**

1. Výsledkem operací, které přetečou z rozsahu čísel ukládaných dle IEEE754, například podíl 1/0, je hodnota NáN (Not-a-Number).

**NE**

1. Při psaní programů v assembleru je běžnou konvencí, že volaný (=podprogram/funkce/rutina ) musí zálohovat všechny registry procesoru, které používá. To znamená, že volající se může spolehnout na to, že všechny své mezivýsledky uložený v registrech nebudou voláním podprogramu dotčeny. (Toto se provádí ukládáním jejich hodnot na stack a následným obnovením původních hodnot před návratem z podprogramu.)

**NE**

1. Je možné instrukcí aritmetického posunu vpravo nahradit instrukcí pro logický posun (uvažujte doplňkovou aritmetiku)?

**NE**

1. Konfigurační BAR registry PCI karty mají svůj obsah jednoznačně určen výrobcem (Vendor ID) a nastaven v závislosti na identifikačním číslu karty (Device ID).

**NE**

1. V případě použití programového kanálů s přerušením (interrupt-driven) procesor již pouze periodicky sleduje stavový bit/registr daného I/O zařízení (a v případě potřeby zareaguje - vyvolá přerušení), což je v protipříkladů s metodou tzv. "poiling-u", kdy procesor musí neustále ve smyčce sledovat dané zařízení a reagovat na jeho stav.

**NE**

1. V případě paměťově mapovaných I/O jsou použity speciální instrukce (in, out) pro přístup k I/O registrům.

**NE**

1. Dle konceptu voň Neumanna se v počítači programy a výsledky (data) se ukládají do téže paměti - což je významným rozdílem v porovnání s tzv. Harvardskou architekturou.

ANO

1. Dynamický prediktor skoků po inicializační fázi (počátečně učení se prediktoru) je vždy lepší než statický prediktor.

**NE**

1. Každé I/O zařízení na PCI sběrnici obsahuje své vlastní speciální registry, ve kterých je uložena bázová adresa (adresy), na které má toto zařízení reagovat.

**ANO**

1. Mikroprogramový řadič NENÍ vhodný pro řízení činnosti zřetězeného procesoru.

**ANO**

1. Obvyklou vlastností architektur RISC je, že obsahují instrukce pro snadnou práci s obsahem paměti jako například instrukce, která přímo modifikuje obsah paměti o libovolnou konstantu (omezení rozsahem datového typu) na zadané adrese.

**NE**

1. Data, která jsou uložena v L1 datové cache pamětí dnešních moderních procesorů, jsou vždy stejná jako data uložená na odpovídající adrese ve fyzické paměti.

**NE**

1. Adresový dekodér připojený na PCI sběrnici pomáhá dekódovat (převádí) virtuální adresu vyskytující se na této PCI sběrnici na adresu fyzickou, se kterou dané zařízení již dále pracuje.

**NE**

1. Přenos DMA (Direct Memory Access) je méně výhodný pro velké objemy dat než použití mechanizmu přerušení v důsledku zátěže (overhead), která je potřeba pro inicializaci DMA.

**NE**

1. RAID 1 slouží k zvýšení spolehlivosti systému pevných disků, RAID 0 k zvýšení výkonu.

**ANO**

1. Při použití DMA data neprocházejí skrze procesor. Program/OS naplánuje parametry přenosu, procesor nastaví adresy do DMA řadiče - ten po ukončení operace vyvolá přerušení.

**ANO**

1. Mikroprogramový řadič realizuje každou programátorovi viditelnou instrukci pomocí vlastního mikroprogramu uloženého v řídicí paměti řadiče.

**ANO**

1. V odpřednášené verzi jedno-cykloveho procesoru je ADDI instrukce nejdelší instrukcí procesoru a od ní odvíjí délka periody hodinového signálu.

**NE**

1. Paměťová buňka DRAM je rychlejší než SRAM.

**NE**

1. Nezávisle na organizaci cache, pokud nastane **valid page fault** (adresa je součástí virtuálního adresního prostoru procesoru), pak typicky dochází k načtení (z disku do hlavní paměti) jednoho:

**RAMCE**

1. Nezávisle na organizaci cache, pokud nastane **invalid page fault** (adresa není součástí virtuálního adresního prostoru procesoru), pak typicky dochází k načtení (z disku do hlavní paměti) jednoho:

**PROGRAM JE OBVYKLE UKONČEN**

1. V případě 64-bitove virtuální adresy je nezbytné použít stejně dlouhou fyzickou adresu, aby nedocházelo ke konfliktům adres při překladu.

**NE**